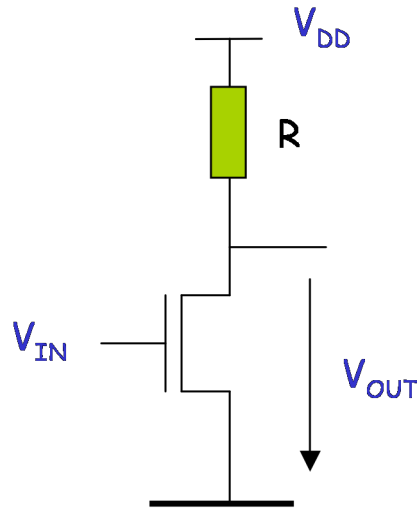


EXERCICES D'ÉLECTRONIQUE, Corrigé Logique MOS

Exercice 1

On propose l'inverseur NMOS suivant :



Avec : $V_{CC} = 5V$, $K = 15 \cdot 10^{-6} A/V^2$ et $V_T = 1V$.

Pour obtenir un « 0 » logique en sortie de l'inverseur, il faut un « 1 » en entrée.

En termes de tension cela correspond à $V_{GS} = V_{IN} = V_{CC}$ et $V_{DS} = V_{OUT} = 0.6V$ (objectif électronique à atteindre).

D'autre part on déduit de l'objectif que $V_{DS} < V_{DSSAT} = V_{GS} - V_T = 4V$ ce qui signifie que le transistor est en mode de fonctionnement linéaire.

De là on trouve:

$$I_D = K \cdot V_{DS} \cdot \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) = 33.3 \mu A$$

Finalement:

$$R = \frac{V_{CC} - V_{OUT}}{I_D} = 132 k\Omega$$

EXERCICES D'ÉLECTRONIQUE, Corrigé Logique MOS

Exercice 2

$$s = a \oplus b = a\bar{b} + \bar{a}b = \overline{ab + \bar{a}\bar{b}}$$

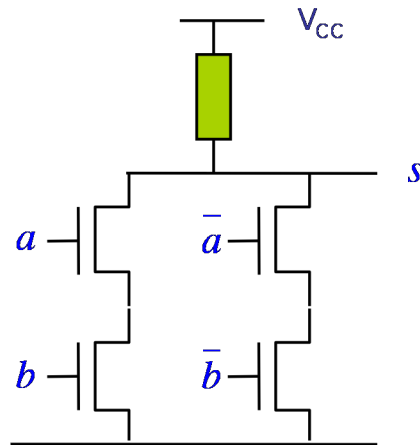
La dernière écriture en logique inverse est nécessaire pour construire les solutions NMOS et CMOS

Solution NMOS :

Les produits ab et $\bar{a}\bar{b}$ sont réalisés par la mise en série des transistors.

La fonction globale est assimilée à une porte NOR soit des branches en parallèle avec une charge résistive pour le NMOS

Remarque : il faut aussi deux inverseurs pour les entrées complémentaires \bar{a} et \bar{b}



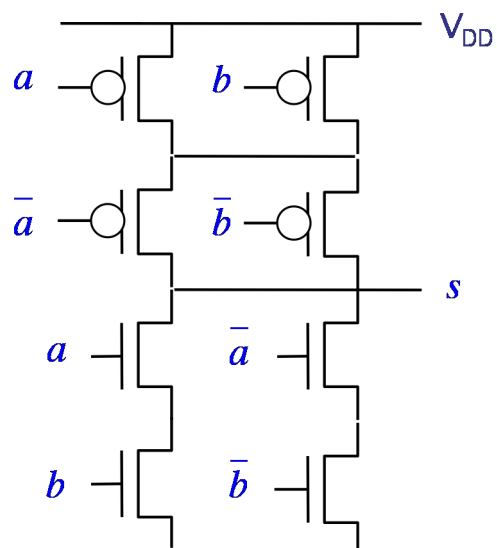
Solution CMOS

La structure de la zone N-MOS ne change pas.

La charge résistive est remplacée par une zone P-MOS. Celle-ci est facile à structurer :

- Les termes en série dans la zone NMOS sont mis en parallèle dans la zone PMOS et
- les termes en parallèle dans la zone NMOS sont mis en série dans la zone PMOS

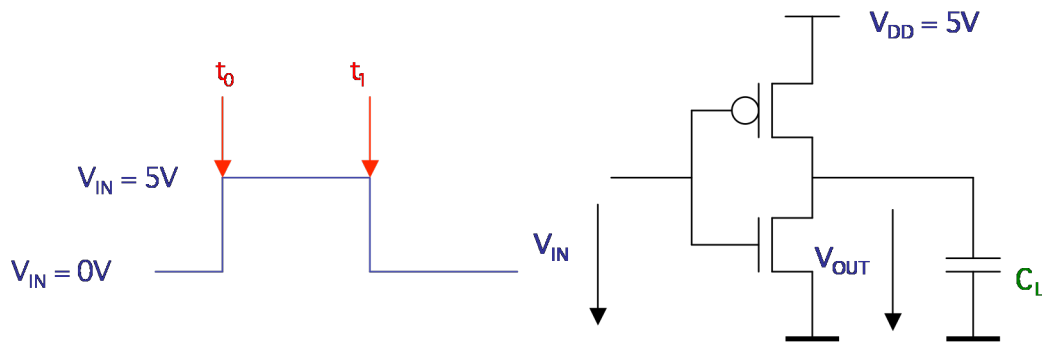
Remarque : Comme pour le NMOS il faut aussi deux inverseurs pour réaliser les entrées complémentaires \bar{a} et \bar{b}



EXERCICES D'ÉLECTRONIQUE, Corrigé Logique MOS

Exercice 3: Analyse de l'inverseur CMOS

On applique une tension V_{IN} carrée. On peut assimiler V_{IN} à V_{GS}



On donne $V_{TP} = -1\text{ V}$ et $V_{TN} = 1\text{ V}$, $K_P = K_N = 100\ \mu\text{A/V}^2$ et $C_L = 10\text{ fF}$

1. On suppose que la capacité est chargée au départ ($V_{OUT} = 5\text{ V}$). Dans quel état se trouve le transistor N à l'instant $t = t_0$

à l'instant $t = t_0$ on a $V_{IN} = V_G = 5\text{ V}$, $V_{OUT} = V_D = 5\text{ V}$

On peut donc affirmer que $V_D > V_G - V_T$, et le transistor NMOS est saturé

Remarque : Le transistor P est bloqué

2. Calculer la limite entre la saturation et la linéarité lorsque $V_{IN} = 5\text{ V}$

Par construction, $V_{DS} = V_{OUT}$

La limite est obtenue par la relation $V_D = V_G - V_T$ soit $V_D = 4\text{ V}$

3. Lorsque $V_{IN} = 5\text{ V}$, calculer le R_{ON} du transistor et la valeur de la source de courant quand le transistor est saturé.

$$R_{ON} = 1 / \left. \frac{dI_{DS}}{dV_{DS}} \right|_{V_{DS}=0} = \frac{1}{K \cdot (V_{GS} - V_T)} = \frac{1}{10^{-4} \cdot (5 - 1)} = 2.5\text{ k}\Omega$$

Quand le transistor est saturé l'expression du courant est quadratique

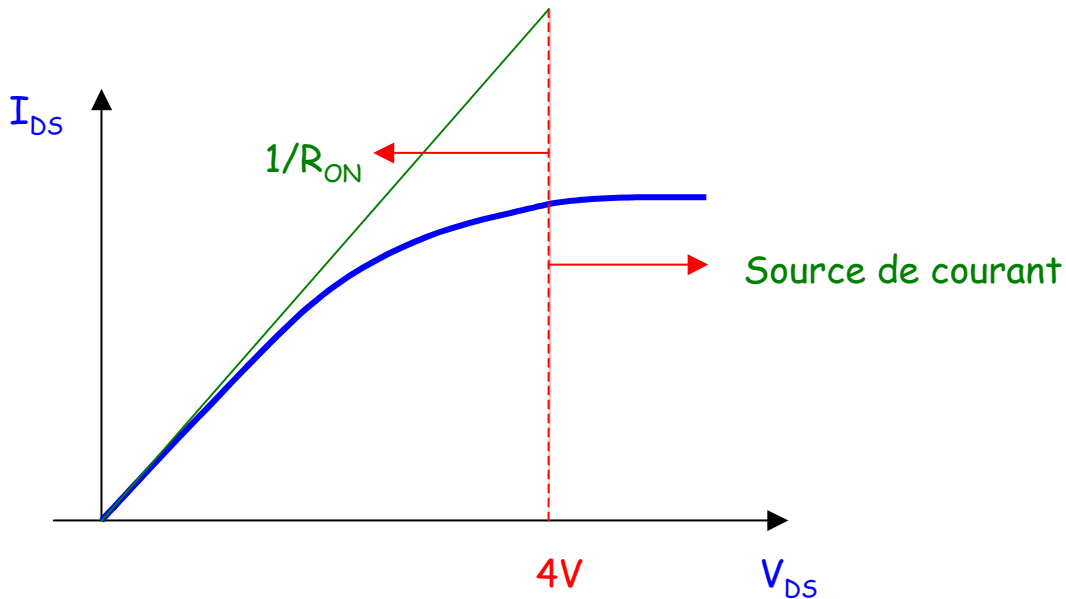
$$I_{DS} = \frac{K}{2} (V_{GS} - V_T)^2 = 5 \cdot 10^{-5} \cdot 16 = 800\ \mu\text{A}$$

EXERCICES D'ÉLECTRONIQUE, Corrigé Logique MOS

4. Expliquer la méthode utilisée pour évaluer le temps de décharge de la capacité. Dessiner le schéma analysé à chaque étape en remplaçant le transistor par le modèle le plus adapté.

Le calcul s'effectue en deux phases:

- lorsque le transistor est saturé ($4V < V_{OUT} < 5V$), nous le remplacerons par une **source de courant** dont la valeur est donnée plus haut
- lorsque le transistor est linéaire, nous pouvons soit prendre la loi complète, soit l'approximer par une résistance de valeur R_{ON} .

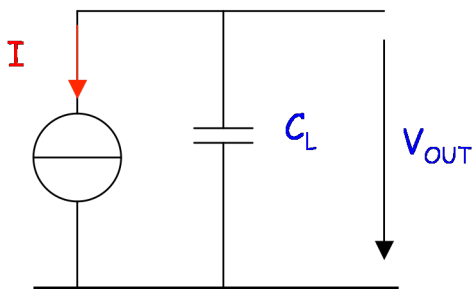


Le choix de R_{ON} se justifie par la simplicité du calcul alors que l'erreur est cependant importante: de 20% à 30%, mais l'ordre de grandeur est acceptable.

Le modèle de calcul sera le suivant:

Dans la phase saturée: Δt_A est le temps nécessaire pour faire passer V_{OUT} de 5V à 4V.

Il s'agit d'une décharge de condensateur via une source de courant



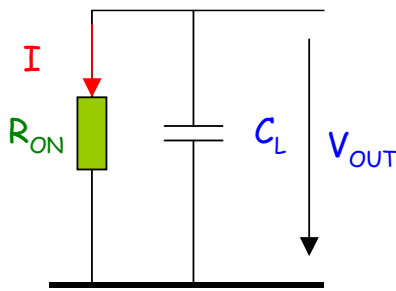
$$I = \frac{dQ}{dt} = -C_L \frac{dV}{dt} \quad \text{ou} \quad -\frac{C_L}{I} dV = dt$$

$$\Delta t_0 = -\int_{5V}^{4V} \frac{C_L}{I} dV = \frac{C_L}{I} = \frac{10^{-14}}{8 \cdot 10^{-4}} = 12.5 ps$$

Dans la phase linéaire: Δt_1 est le temps nécessaire pour faire passer V_{OUT} de 4V à 0.5V (10% de V_{CC})

EXERCICES D'ÉLECTRONIQUE, Corrigé Logique MOS

Il s'agit d'une décharge de condensateur à travers une résistance



$$V(\Delta t_1) = V(0) + (V(\infty) - V(0)) \cdot \left(1 - e^{-\frac{\Delta t_1}{\tau}}\right)$$

$$\text{soit } 0.5 = 4 + (0 - 4) \cdot \left(1 - e^{-\frac{\Delta t_1}{\tau}}\right)$$

$$\text{avec } 0.5 = 4 \cdot e^{-\frac{\Delta t_1}{R_{ON} \cdot C_L}} \quad \text{et} \quad e^{\frac{\Delta t_1}{R_{ON} \cdot C_L}} = 8$$

$$\frac{\Delta t_1}{R_{ON} \cdot C_L} = \text{LN}8 \quad \text{ou} \quad \Delta t_1 = R_{ON} \cdot C_L \cdot \text{LN}8 = 52 \text{ ps}$$

5. Calculer le temps de décharge permettant de passer de V_{DD} à $10\% \cdot V_{DD}$.
le temps de décharge correspond au cumul des deux phases:

$$\Delta t = \Delta t_0 + \Delta t_1 = 64.5 \text{ ps}$$

6. Est-il nécessaire de calculer le temps de charge à partir de t_1 . Justifier votre réponse.

Le circuit est symétrique car les deux transistors (N et P) ont un comportement identique ($K_N = K_P$), soit sous la forme de source de courant, soit sous la forme du R_{ON}

Le condensateur étant le même pour la charge et la décharge, nous pouvons affirmer que le temps de montée et de descente seront identiques.

7. Quelle est la puissance consommée, si nous travaillons à une fréquence de 100 MHz

la puissance est obtenue par la formule $f \cdot C \cdot V_{CC}^2 = 10^8 \cdot 10^{-14} \cdot 25 = 25 \mu\text{W}$

La valeur semble basse, mais il faut la relativiser si des millions de transistors doivent conduire, d'autre part, 100MHz est une fréquence largement dépassée aujourd'hui.